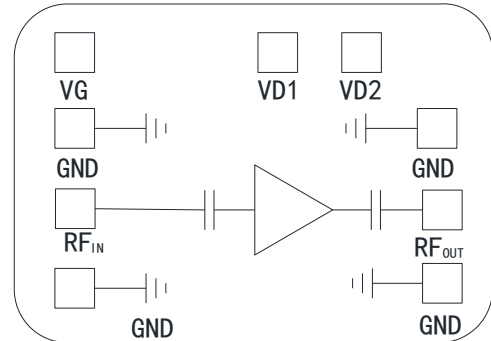


特点:

- 频率范围: 6.0~18.0GHz;
- 增益:
 - +5.00V@50mA, VG 悬空, 典型值 25.0dB
 - +5.00V@35mA, VD1&VG 悬空, 典型值 24.0dB
 - +5.00V@15mA, VD1 悬空, VG 接地, 典型值 21.0dB
- 噪声系数:
 - +5.00V@50mA, VG 悬空, 典型值 1.3dB
 - +5.00V@35mA, VD1&VG 悬空, 典型值 1.1dB
 - +5.00V@15mA, VD1 悬空, VG 接地, 典型值 1.3dB
- 1dB 压缩点输出功率:
 - +5.00V@50mA, VG 悬空, 典型值+16dBm
 - +5.00V@35mA, VD1&VG 悬空, 典型值+15dBm
 - +5.00V@15mA, VD1 悬空, VG 接地, 典型值+8dBm
- GaAs 裸片
- 芯片尺寸: 1.55×0.8×0.1mm

功能框图:



产品简介:

YDC1158 是一款采用 GaAs pHEMT 工艺设计制造的低噪声放大器芯片。该芯片采用了片上金属化通孔工艺保证良好接地。芯片背面进行了金属化处理,适用于导电胶粘接或共晶烧结工艺,芯片均经过在片 100% 直流与 RF 测试。

性能参数 1: (50Ω 系统, VG 悬空, VD1&VD2=+5.00V)

参数名称	符号	测试条件	参数值				单位	备注
			常温 (+25℃)			全温		
			MIN	TYP	MAX	-55℃~+85℃		
频率范围	f	V _D =+5.00V f=6.0~18.0GHz P _{IN} =-30dBm	6.0	-	18.0	6.0~18.0	GHz	-
增益	G		22.5	25.0	26.0	22.0~27.0	dB	-
增益平坦度	ΔG		-	1.5	3.5	≤5.0	dB	-
输入驻波比	VSWR _I		-	1.5:1	2.0:1	≤2.0:1	-	-
输出驻波比	VSWR _O		-	1.6:1	2.2:1	≤2.2:1	-	-
噪声系数	NF		-	1.3	1.7	≤2.0	dB	-
反向隔离度	I _R		32	40	-	≥30	dB	-
1dB 压缩点输出功率	OP _{1dB}	V _D =+5.00V f=6.0~18.0GHz	+14	+16	-	≥+14	dBm	-
输出三阶截点 ^①	OIP ₃		+22	+26	-	-	dBm	-
电源电压	V _D	-	+4.75	+5.00	+5.25	+4.75~+5.25	V	功能正常
工作电流	I _D	V _D =+5.00V, P _{IN} =-30dBm	-	50	60	≤70	mA	静态电流

①输出三阶截点测试条件: 双音信号间隔 1MHz, 单音信号功率 0dBm。

性能参数 2: (50Ω 系统, VD1 悬空, VG 悬空, VD2=+5.00V)

参数名称	符号	测试条件	参数值				单位	备注
			常温 (+25℃)			全温		
			MIN	TYP	MAX	-55℃~+85℃		
频率范围	f	V _D =+5.00V	6.0	-	18.0	6.0~18.0	GHz	-
增益	G		22.5	24.0	25.0	21.5~26.0	dB	-

增益平坦度	ΔG	f=6.0~18.0GHz $P_{IN}=-30\text{dBm}$	-	1.0	2.5	≤ 4.5	dB	-
输入驻波比	V_{SWR}_I		-	1.4:1	1.8:1	$\leq 2.0:1$	-	-
输出驻波比	V_{SWR}_O		-	1.5:1	2.2:1	$\leq 2.2:1$	-	-
噪声系数	NF		-	1.1	1.5	≤ 2.0	dB	-
反向隔离度	I_R		30	40	-	≥ 30	dB	-
1dB 压缩点输出功率	$OP_{1\text{dB}}$	$V_D=+5.00\text{V}$	+14	+15	-	$\geq +13$	dBm	-
输出三阶截点 ^①	OIP_3	f=6.0~18.0GHz	+20	+25	-	-	dBm	-
电源电压	V_D	-	+4.75	+5.00	+5.25	+4.75~+5.25	V	功能正常
工作电流	I_D	$V_D=+5.00\text{V}, P_{IN}=-30\text{dBm}$	-	35	45	≤ 60	mA	静态电流

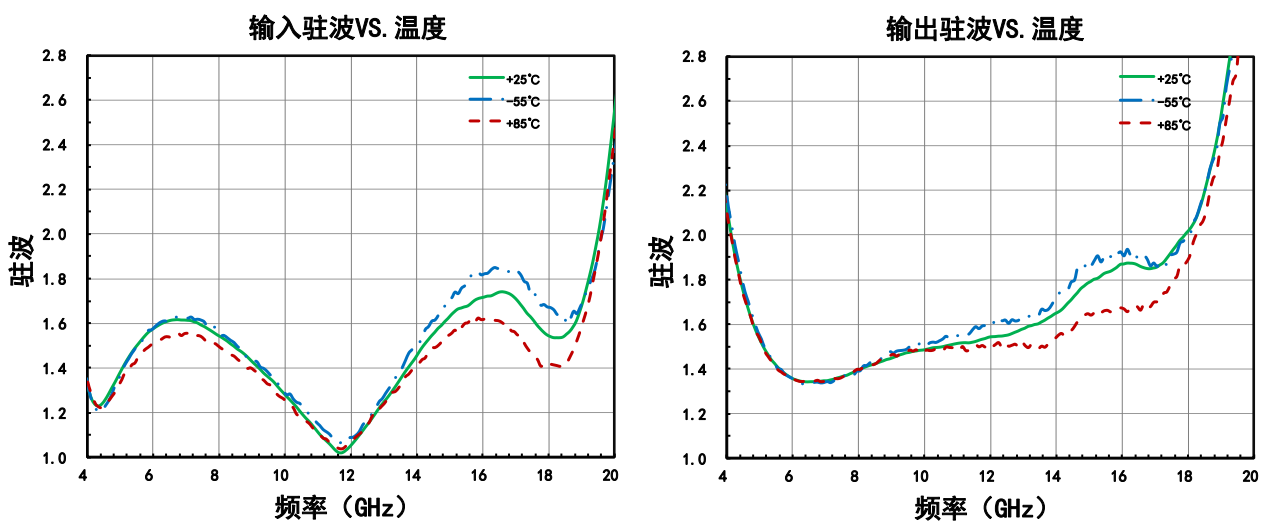
①输出三阶截点测试条件：双音信号间隔 1MHz，单音信号功率 0dBm。

性能参数 3：(50Ω 系统, V_{D1} 悬空, V_G 接地, $V_{D2}=+5.00\text{V}$)

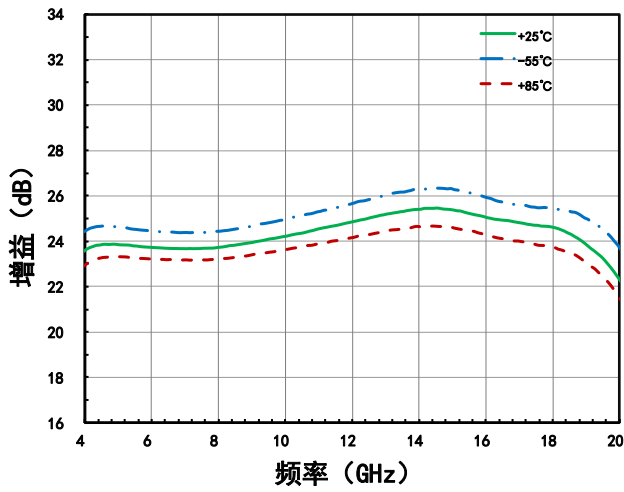
参数名称	符号	测试条件	参数值				单位	备注
			常温 (+25℃)			全温		
			MIN	TYP	MAX	-55℃~+85℃		
频率范围	f	$V_D=+5.00\text{V}$ f=6.0~18.0GHz $P_{IN}=-30\text{dBm}$	6.0	-	18.0	6.0~18.0	GHz	-
增益	G		20.0	21.0	22.0	19.5~23.0	dB	-
增益平坦度	ΔG		-	1.5	2.5	≤ 3.5	dB	-
输入驻波比	V_{SWR}_I		-	1.3:1	1.8:1	$\leq 2.0:1$	-	-
输出驻波比	V_{SWR}_O		-	1.4:1	1.8:1	$\leq 2.0:1$	-	-
噪声系数	NF		-	1.3	1.6	≤ 2.0	dB	-
反向隔离度	I_R		25	40	-	≥ 25	dB	-
1dB 压缩点输出功率	$OP_{1\text{dB}}$		$V_D=+5.00\text{V}$	+6	+8	-	$\geq +5$	dBm
输出三阶截点 ^①	OIP_3	f=6.0~18.0GHz	+16	+19	-	-	dBm	-
电源电压	V_D	-	+4.75	+5.00	+5.25	+4.75~+5.25	V	功能正常
工作电流	I_D	$V_D=+5.00\text{V}, P_{IN}=-30\text{dBm}$	-	15	25	≤ 40	mA	静态电流

① 输出三阶截点测试条件：双音信号间隔 1MHz，单音信号功率 0dBm。

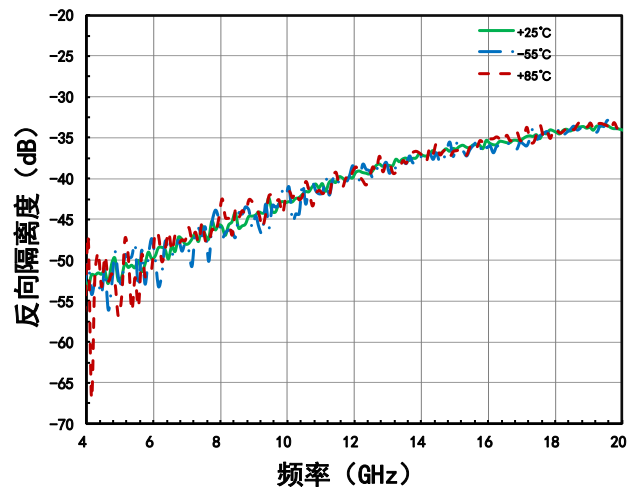
典型测试曲线 1：(50Ω 系统 V_G 悬空, $V_{D1}\&V_{D2}=+5.00\text{V}$)



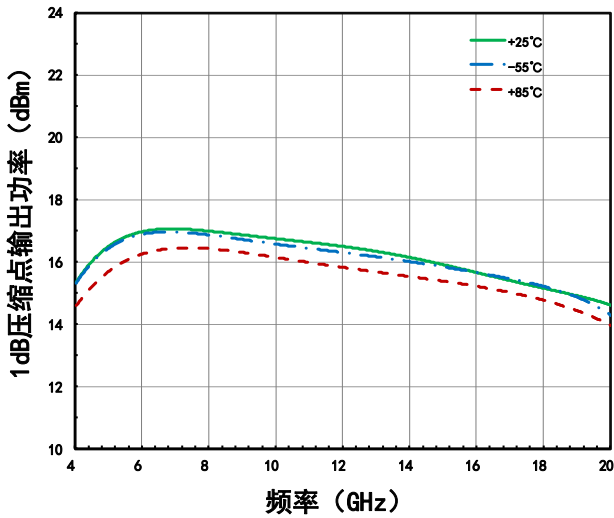
增益VS. 温度



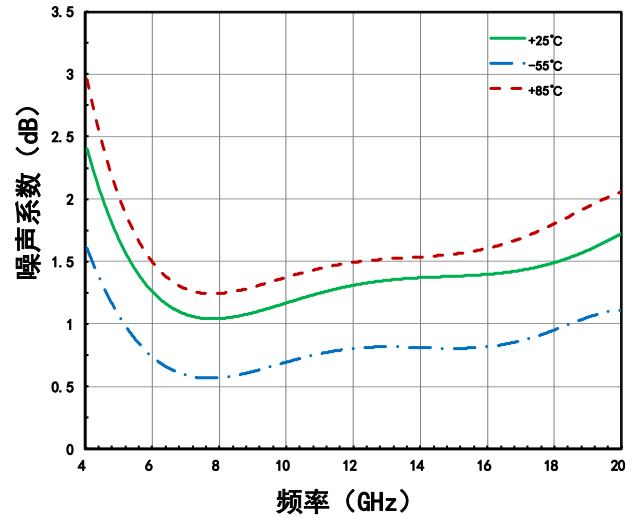
反向隔离度VS. 温度



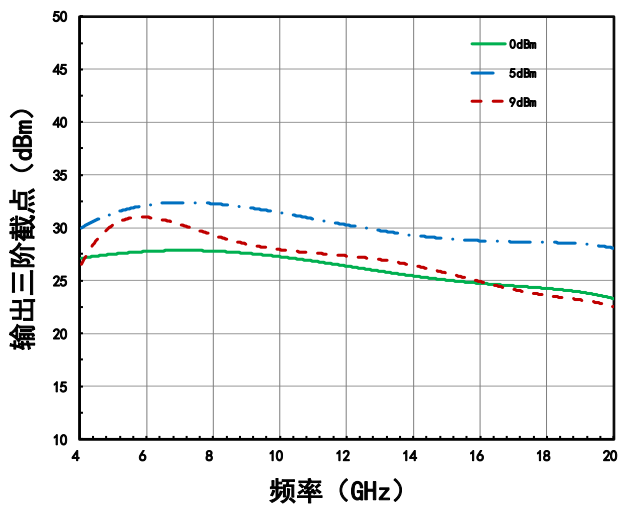
1dB压缩点输出功率VS. 温度



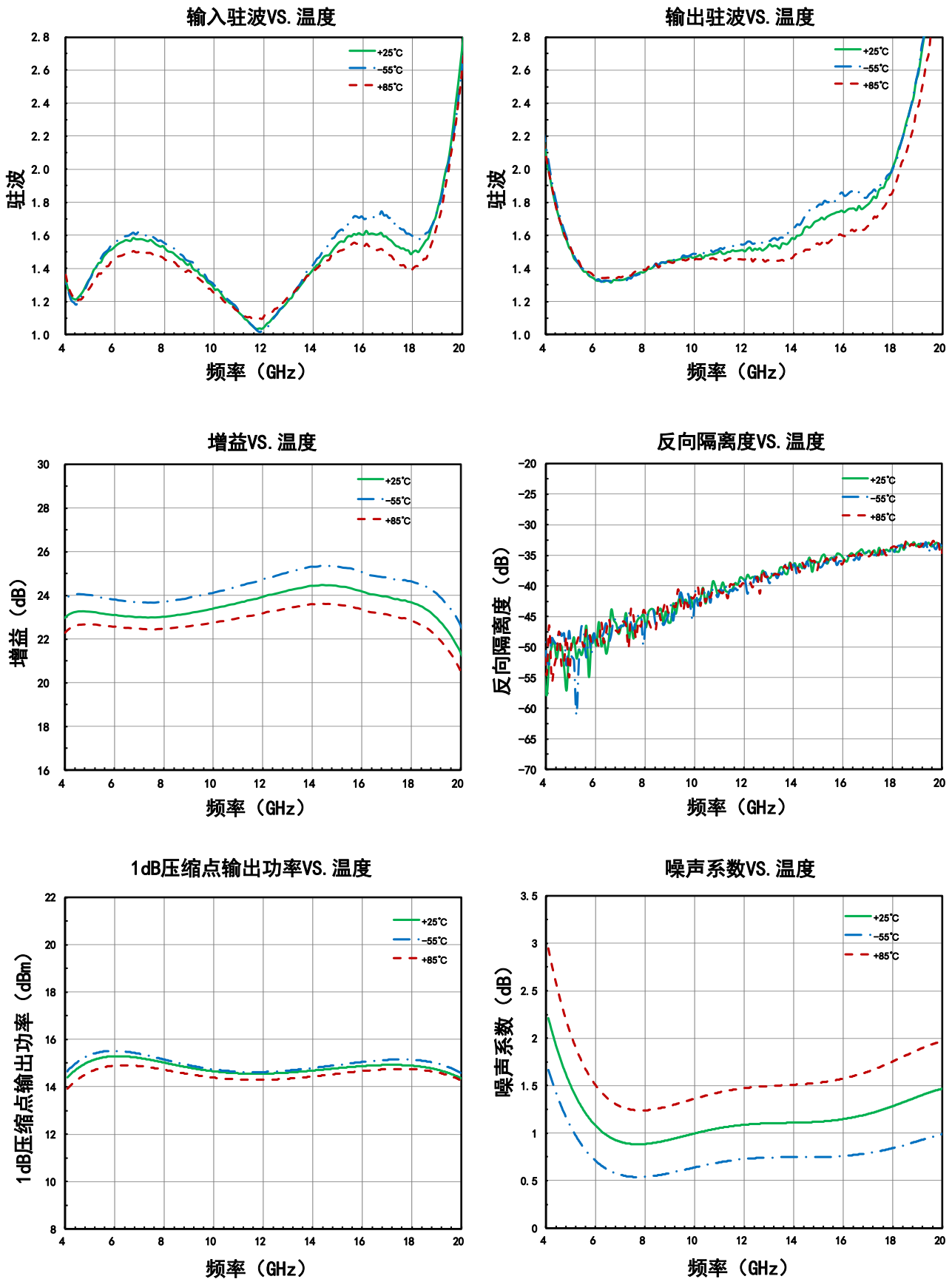
噪声系数VS. 温度



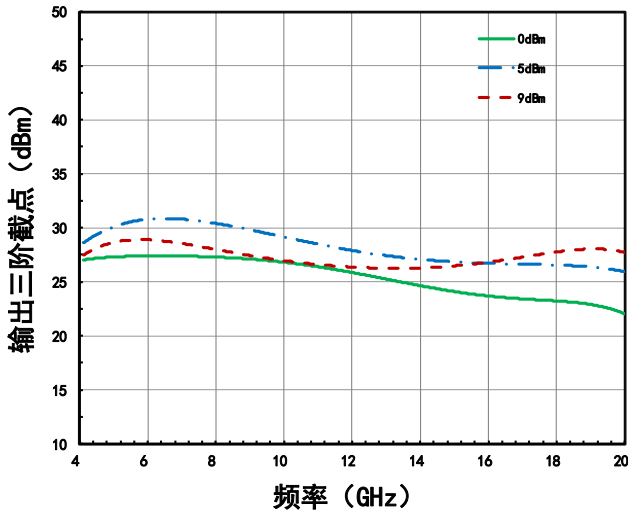
输出三阶截点VS. 频率(+25°C)



典型测试曲线 2: (50Ω 系统, VD1 悬空, VG 悬空, VD2=+5.00V)

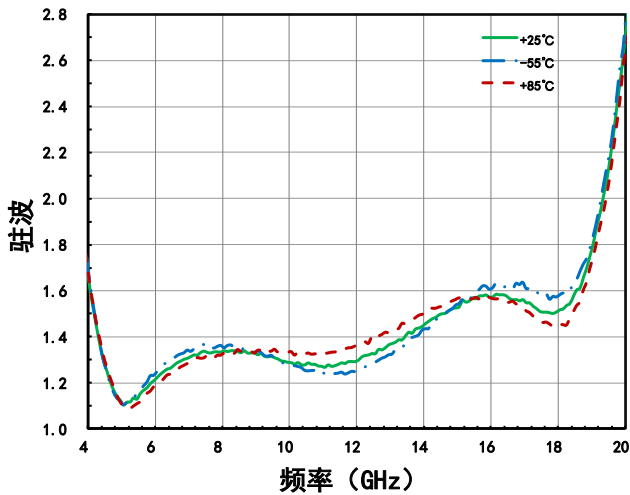


输出三阶截点VS. 频率(+25°C)

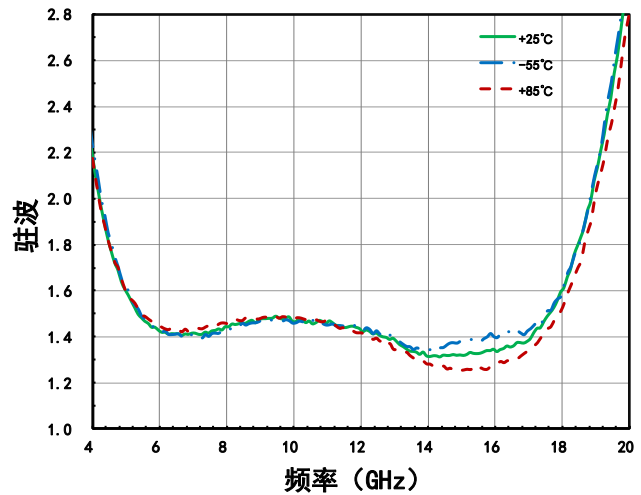


典型测试曲线 3: (50Ω 系统, VD1 悬空, VG 接地, VD2=+5.00V)

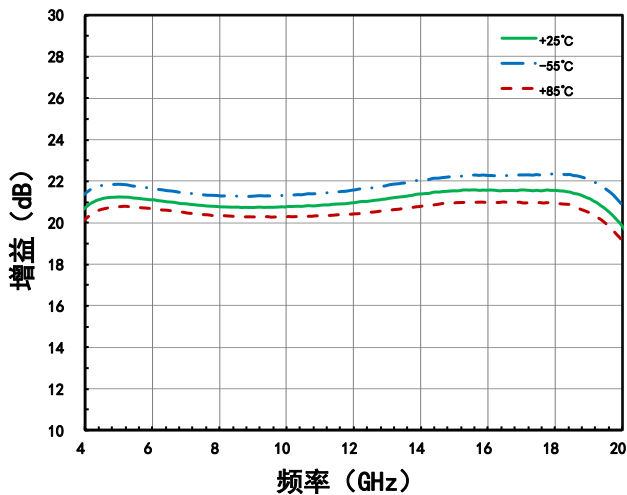
输入驻波VS. 温度



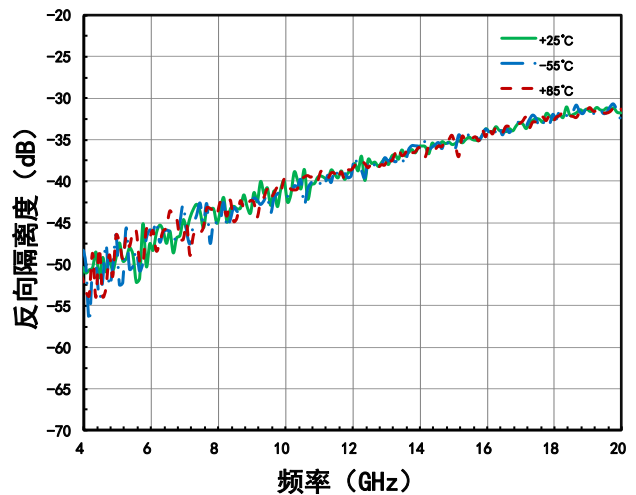
输出驻波VS. 温度



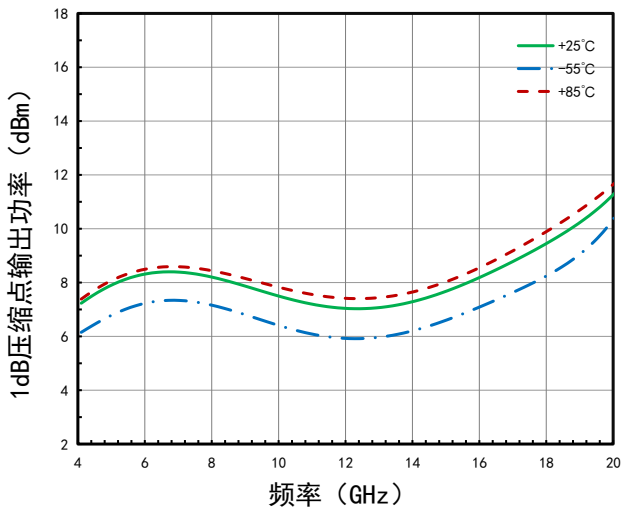
增益VS. 温度



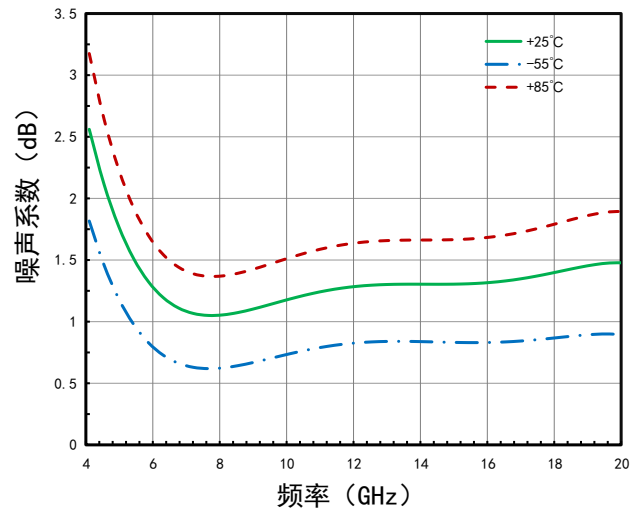
反向隔离度VS. 温度



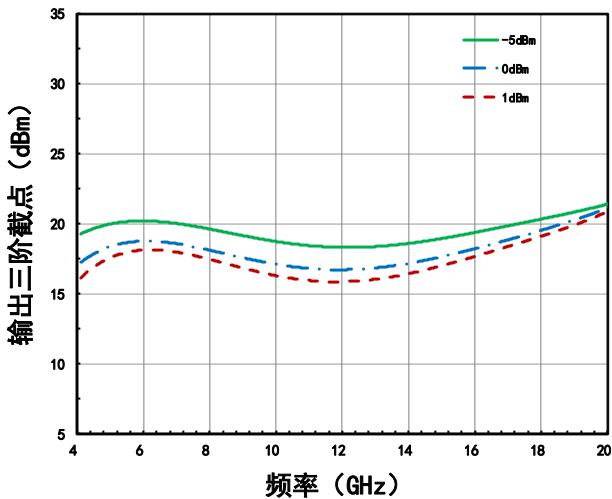
1dB压缩点输出功率VS. 温度



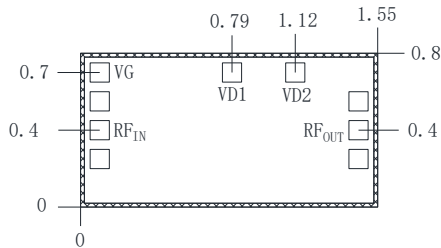
噪声系数VS. 温度



输出三阶截点VS. 频率(+25°C)



外形尺寸图:



注: 1.单位: mm;

- 2.芯片背面镀金, 背面接地;
- 3.键合压点镀金, 压点尺寸: 0.1×0.1 mm;
- 4.外形尺寸公差: ± 0.05 mm.



引脚定义:

符号	描述
RF _{IN}	射频输入, 内部有隔直
RF _{OUT}	射频输出, 内部有隔直
VD1/VD2	电源端口, +5.00V 供电
VG	电流调节端口
GND	接地
芯片背面	接地

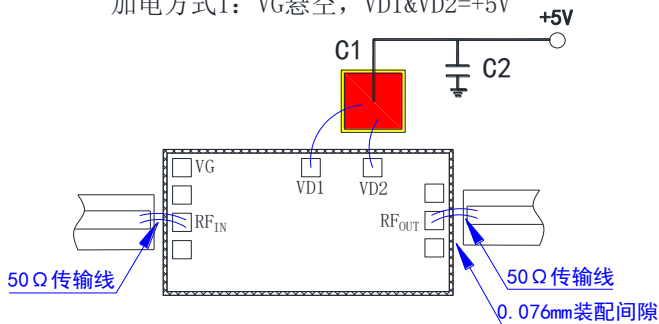
极限参数表:

参数名称	极限值
输入射频功率	+20dBm
电源电压	+8V
装配温度	+300°C, 20s
工作温度	-55°C~+85°C
贮存温度	-55°C~+150°C
静电放电敏感度等级	1A

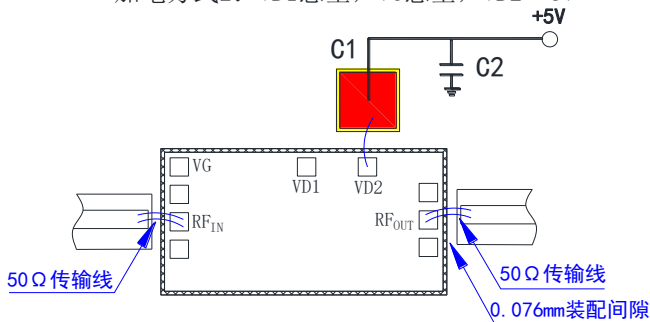
超过以上任何一项极限参数, 可能造成器件永久损坏。

推荐装配图:

加电方式1: VG悬空, VD1&VD2=+5V



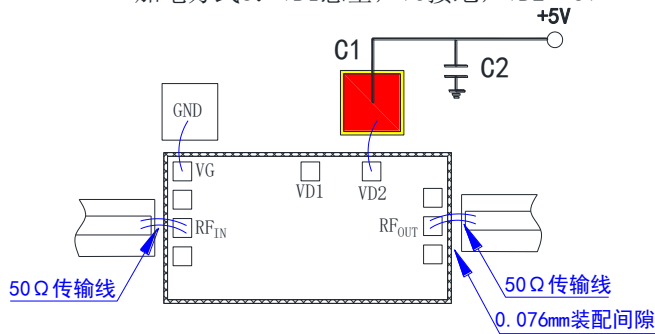
加电方式2: VD1悬空, VG悬空, VD2=+5V



推荐电路值:

位号	推荐值/推荐型号	备注
C1	100pF	
C2	10nF	

加电方式3: VD1悬空, VG接地, VD2=+5V



注: 射频端口应尽量靠近微带线以缩短键合金丝尺寸, 典型的装配间隙是 0.076~0.152mm, 使用 $\Phi 25\mu\text{m}$ 双金丝键合, 建议金丝长度 250~400 μm 。

产品使用注意事项:

1. 本芯片产品需要在干燥、氮气环境中存储, 在超净环境装配使用。
2. 裸芯片使用的砷化镓材料较脆, 芯片表面容易受损, 不能用干或湿化学方法清洁芯片表面, 使用时须小心。
3. 芯片粘结装配时, 需考虑热膨胀应力对芯片的影响, 芯片建议烧结或粘结在热膨胀系数相近的载体上, 如可伐、钨铜或钼铜垫片上, 避免热膨胀应力匹配不当导致芯片开裂。
4. 芯片使用导电胶或合金烧结 (合金温度不能超过 300°C, 时间不能超过 20 秒), 使之充分接地。
5. 芯片射频端口使用 25 μm 双金丝键合, 建议金丝长度 0.25~0.40mm (10~16 mils)。
6. 在存储和使用过程中注意防静电, 烧结、键合台接地良好。